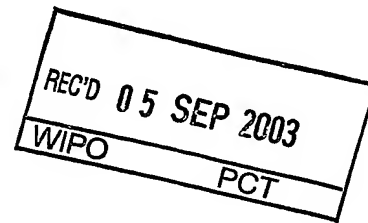


10/524251



#2

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 38 444.4
Anmeldetag: 22. August 2002
Anmelder/Inhaber: United Monolithic Semiconductors GmbH,
Ulm/DE
Bezeichnung: Verfahren zur Herstellung von vereinzelt
monolithisch integrierten Halbleiterschaltungen
IPC: H 01 L 21/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Weihmayer

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

Bezeichnung

Verfahren zur Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen

5

Beschreibung

10 Die Erfindung betrifft ein Verfahren zur Herstellung von einzelnen monolithisch integrierten Halbleiterschaltungen nach dem Oberbegriff des Patentanspruchs 1.

15 Bei der Herstellung integrierter Halbleiterschaltungen, auch einfach als IC oder Chip bezeichnet, werden typischerweise auf einer dünnen Halbleiterscheibe, dem Wafer, als Substrat eine größere Anzahl von Schaltungen gleichzeitig erzeugt, welche in einem späteren Verfahrensschritt vereinzelt werden, insbesondere durch Sägen oder Ritzen des Wafers. Die ICs weisen typischerweise auf einer Frontseite des Substrats eine Mehrzahl von Bauelementen und auf der Rückseite eine Rückseitenmetallisierung auf, wobei die Rückseitenmetallisierung auf Bezugspotenzial liegen und mit einzelnen Leiterflächen auf der Frontseite über Durchgangslöcher (via) durch das Substrat elektrisch verbunden sein kann.

20
25 Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein vorteilhaftes Verfahren für die Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen anzugeben.

Die Erfindung ist im unabhängigen Patentanspruch beschrieben. Die abhängigen Ansprüche enthalten vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung.

- 5 Die Erfindung ermöglicht eine sichere und stabile Handhabung des Wafers in kritischen Verfahrensschritten, insbesondere bei geringen Dicken des Substrats. Gemäß einer vorteilhaften Ausführung wird das Substrat nach Fertigstellung der Halbleiterschaltungen einschließlich der Leiterflächen und ggf. ei-
- 10 ner Passivierung der Frontseite auf eine Substratdicke von weniger als 100 μm gedünnt. Dies ist insbesondere für Halbleiterschaltungen auf GaAs-Substrat von Vorteil, da GaAs eine geringe Wärmeleitfähigkeit besitzt und die Abführung von Verlustwärme im Betrieb an eine Wärmesenke bei geringer Substratdicke wesentlich verbessert ist. Durch die geringe Substratdicke verringert sich auch der Öffnungsquerschnitt der sich von der Frontseite zur Rückseite hin aufwei-
- 15 tenden Durchgangslöcher, so dass die Packungsdichte der Schaltungen bei dem dünnen Substrat erhöht werden kann.

- Die Befestigung des Wafers auf einem starren Träger vor dem Dünnen des Substrats gewährleistet eine stabile und sichere Handhabung auch bei durch
- 20 starke Waferdünnung sehr geringen Substratdicken. Insbesondere wird auch eine nicht ebene Verformung des Wafers durch thermische Einflüsse oder insbesondere auch durch interne mechanische Spannungen im Halbleitermaterial, wie sie für Heterostruktur-Halbleiter-Schichtfolgen typisch sind, vermieden.

- 25 Vorteilhafterweise wird auch eine elektrische Funktionsprüfung, insbesondere hinsichtlich des Hochfrequenzverhaltens, erst nach der Vereinzelung der Bauelemente und damit bei Vorliegen der Rückseitenmetallisierung und der Durchkontaktierungen durch die Durchgangslöcher an vollständig verschalteten Einheiten vorgenommen.

Die Befestigung des einheitlichen Wafers auf dem starren Träger, welcher beispielsweise ein Saphir sein kann, erfolgt vorzugsweise mittels einer Schicht aus adhäsivem Material, insbesondere einem Klebstoff, einem Kitt, einem Gel oder dergleichen, welcher auch Unebenheiten der ggf. passivierten Oberfläche der Wafer-Frontseite folgen kann. Bevorzugt ist ein adhäsives Befestigungsmaterial, dessen Adhäsion zu der Wafer-Frontseite bei höherer Temperatur geringer ist. Die individuelle Ablösung der mechanisch getrennten IC von dem Träger erfolgt vorzugsweise durch mechanisches Abheben unter Überwindung der Adhäsionskraft, wofür bei dem bevorzugten Befestigungsmaterial dieses den IC vorzugsweise über den Trägerkörper erwärmt wird, um die Ablösekraft zu verringern. Zur Ablösung der individuellen IC kann günstigerweise ein Werkzeug nach Art einer Vakuumpinzette eingesetzt werden.

Vorteilhafterweise werden die mehreren IC eines auf dem Träger befestigten Wafers in der Weise in der Waferebene lateral separiert, dass von der dem Trägerkörper abgewandten Substratrückseite Trenngräben geätzt werden, welche vorteilhafterweise wenigstens bis an oder in das Befestigungsmaterial reichen. Bei der Ätzung der Trenngräben wird unterhalb des Wafers vorteilhafterweise eine laterale Unterätzung im Befestigungsmaterial erzeugt. Dies ermöglicht, das Metall für die Rückseitenmetallisierung und die Durchkontaktierungen nach Fertigstellung auch der Trenngräben ganzflächig abzuscheiden, ohne dass eine Metallisierungsbrücke über die Trenngräben entsteht. Die Metallisierungsschicht ist an den bei den Unterätzungen auftretenden Stufen unterbrochen.

Gemäß einer besonders vorteilhaften Ausführung können die Durchgangslöcher durch das Substrat und die Trenngräben in einem gemeinsamen Ätzvorgang, insbesondere mit gemeinsamer photolithographischer Ätzmaske

und/oder wenigstens teilweise gemeinsamem Ätzmittel hergestellt werden.

Hierbei kann vorteilhaft ausgenutzt werden, dass bei der gebräuchlichen Ätzung der Durchgangslöcher die Leiterflächen auf der Frontseite als Ätzstopp-

5 schicht wirken und in den Bereichen zwischen benachbarten ICs des Wafers keine Leiterflächen vorgesehen sind, so dass die Ätzung im Bereich der Trenngräben in das Befestigungsmaterial fortschreitet, während sie im Bereich der Durchgangslöcher an den Leiterflächen der Frontseite stoppt. Hieraus resultiert ein besonders einfacher Verfahrensablauf.

10 Nach individuellem Abheben der in der Substratebene separierten ICs als Einzelchips von dem Trägerkörper werden die Chips einzeln weiterbehandelt, was beispielsweise Reinigungsvorgänge, insbesondere aber auch Prüfvorgänge mit z.B. optischer Oberflächenprüfung und elektrischer Funktionsprüfung beinhalten kann. Vorteilhafterweise kann der Schritt der optischen Prüfung zugleich
15 der Ausrichtung der Chips in eine definierte Position für die Spitzenkontaktierung zur elektrischen Funktionsprüfung einschließen. Die geprüften Chips können zur Auslieferung an Kunden und/oder zur Zwischenlagerung auf Zwischenträger, welche z.B. als „blue tape“ oder „geel pack“ gebräuchlich sind, abgelegt oder ohne einen solchen Zwischenschritt gleich in Schaltungsmodule
20 eingebaut werden.

Die Erfindung ist nachfolgend anhand bevorzugter Ausführungsbeispiele noch eingehend veranschaulicht. Dabei zeigt

- 25 Fig. 1 eine Seitenansicht eines Wafers auf einem Träger,
Fig. 2 eine bevorzugte Rückseitenbehandlung eines Wafers,
Fig. 3 die Behandlung vereinzelter IC.

Fig. 1 zeigt in seitlicher Ansicht ein Schnittbild durch einen dielektrischen Trägerkörper TR, beispielsweise einen Saphir, und durch einen Wafer WA, welcher auf der Frontseite FS eines Halbleitersubstrats HS eine Mehrzahl separater integrierter Schaltungen mit Halbleiterbauelementen und metallischen Leiterflächen enthält.

Der Wafer WA ist auf der in Fig. 1 nach unten weisenden Frontseite FS mit einer anorganischen Schutzschicht 23 bedeckt. Die dem Wafer zugewandte Fläche des Trägerkörpers TR ist mit einem Aufkittmaterial versehen. Der Wafer wird mit der Oberfläche der Schutzschicht 23 auf das Aufkittmaterial aufgedrückt und von diesem adhäsiv auf dem Träger TR fixiert. Nach Fixieren des Wafers auf dem Träger wird das Substrat von der dem Träger abgewandten Rückseite her auf die mit unterbrochener Linie angedeutete gewünschte Dicke, insbesondere auf weniger als 100 μm , gedünnt (Pfeile DS), vorzugsweise durch Schleifen.

In Fig. 2 wird ausgegangen von einem unverändert auf dem Trägerkörper über das Aufkittmaterial 24 fixierten Wafer mit auf die gewünschte Dicke gedünntem Substrat. Der Trägerkörper selbst ist aus Gründen der Übersichtlichkeit in Fig. 2 nicht mehr mit eingezeichnet.

In Fig. 2 a) bis e) ist jeweils in seitlicher Schnittdarstellung in der linken Bildhälfte ein Ausschnitt mit einem Trennbereich TB zwischen zwei auf einem Wafer benachbarten integrierten Schaltungsbereichen IB_N und IB_{N+1} und in der rechten Bildhälfte ein Ausschnitt aus einem Bereich IB_N einer integrierten Schaltung mit Durchkontaktierungen in Durchgangslöcher skizziert. Die Skizzen sind nicht maßstäblich.

Auf der dem Trägerkörper zugewandten Frontseite des gedünnten Substrats 20 ist mit 21 die Schaltungsebene mit Leiterflächen 22 bezeichnet, welche durch die Schutzschicht 23 abgedeckt ist (Fig. 2a).

5 Auf die Rückseite RS des gedünnten Substrats 20 wurde eine Photolackschicht PL aufgebracht und mit ersten Öffnungen 25 für Trenngräben im Trennbereich TB und zweiten Öffnungen 26 für Durchgangslöcher zu Leiterflächen im Schaltungsbereich IB der einzelnen integrierten Schaltungen strukturiert.

10

In einem ersten gemeinsamen Ätzschritt werden unter Verwendung der strukturierten Photolackschicht PL im Trennbereich TB Trenngräben 27 und im Schaltungsbereich IB Durchgangslöcher 28 durch das Halbleitersubstrat 20 freigeätzt. Die Ätzparameter sind so eingestellt, dass die Durchgangslöcher mit schrägen Flanken sich von der Rückseite RS zur Frontseite hin konisch verjüngen. Diese Art, Durchgangslöcher zu ätzen, ist allgemein gebräuchlich. Der Ätzvorgang für die Durchgangslöcher stoppt im Schaltungsbereich IB durch die Wahl des Ätzmittels und die Einstellung der Ätzparameter automatisch an den Leiterflächen 22 der Schaltungsebene 21, wogegen im Trennbereich TB, in welchem keine derartigen Leiterflächen vorliegen, der Ätzvorgang bis in die Schutzschicht 23 durchgeht (Fig. 2 c).

20

Der Ätzvorgang wird in einem zweiten Ätzschritt vorzugsweise unter Wechsel des Ätzmittels und/oder Änderung der Ätzparameter fortgesetzt, wobei vorzugsweise das Substratmaterial nicht weiter abgetragen wird und wobei im Schaltungsbereich IB die Leiterflächen 22 nicht angegriffen werden, hingegen das Material der Schutzschicht 23 unter dem Trenngraben 27 im Trennbereich TB in einer bis an oder in das Aufkittmaterial 24 reichenden Vertiefung entfernt wird. Ätzmittel und Ätzparameter sind so gewählt, dass das Material

25

der Schutzschicht auch lateral unter dem Substrat 20 abgetragen wird, so dass durch Unterätzung des Substrats ein Überhang 30a entsteht. Gemäß einer bevorzugten Ausführungsform erfolgt die Ätzung der Vertiefung 30 in der Schutzschicht 23 einschließlich der Überhänge 30a zusammen mit der Entfernung der Photolackmaske 29.

Bei der anschließenden ganzflächigen gerichteten Abscheidung der Rückseitenmetallisierung 31 ist durch die Stufen an den Überhängen 30a der in die Vertiefung 30 auf das Aufkittmaterial abgeschiedene Metallfilm 31a gegen die Metallisierung auf Rückseite und Seitenflanken des Substrats 20 unterbrochen. In den Durchgangslöchern bildet die Rückseitenmetallisierung 31 in gebräuchlicher Weise einen entlang der schrägen Kanten bis zu den Leiterflächen 22 durchgehenden Metallfilm, über welchen die derart kontaktierten Leiterflächen 22 auf das elektrische Potenzial der Rückseitenmetallisierung 31 gelegt werden können.

Die durch die bis zum Aufkittmaterial durchgehenden Trenngräben 27 (einschließlich der Vertiefungen 30) seitlich separierten integrierten Schaltungen können durch eine senkrecht zur Substratebene wirkende und die Adhäsionskraft des Aufkittmaterials zu der Schutzschicht 23 überwindende Ablösekraft individuell von dem Aufkittmaterial gelöst werden. Durch Wahl eines Aufkittmaterials, welches bei Erwärmen eine deutliche Verringerung dieser Adhäsionskraft zeigt, und durch Erwärmen des Aufkittmaterials, vorzugsweise über den Trägerkörper, können die einzelnen Schaltungsanordnungen mit geringer Ablösekraft zur weiteren Behandlung vereinzelt werden. Zum Abheben vom Trägerkörper TR entgegen einer geringen Adhäsionskraft und zur weiteren Handhabung der vereinzelt Schaltungsanordnungen können vorteilhafterweise sogenannte Vakuumpinzetten 4 wie in Fig. 3 schematisch gezeichnet verwandt werden.

Nach Abheben einer Schaltungsanordnung (Chip) IC vom Trägerkörper TR (Fig. 3A) wird in der in Fig. 3 skizzierten Abfolge von Handhabungsschritten der durch die Vakuumpinzette 4 an der Rückseite gehaltene Chip IC gewendet (Fig. 3B) und durch einen Lösungsmittelstrahl 5 gereinigt (Fig. 3C) und anschließend mit Inertgas 6 getrocknet (Fig. 3D). Eine weitere Vakuumpinzette 7 übernimmt den Chip auf der Frontseite (Fig. 3E) und legt ihn mit der metallisierten Rückseite auf die geerdete elektrostatische Grundplatte 10 (Fig. 3F). Der auf der Grundplatte 10 elektrostatisch gehaltene Chip wird einer automatischen optischen Kontrolle 9 unterzogen (Fig. 3G) und dabei vorteilhafterweise durch Drehen und/oder Verschieben der Grundplatte oder auf dieser in der Plattenebene 8 definiert justiert und so für eine nachfolgende elektrische Messung 11 (Fig. 3H) ausgerichtet.

Die die optische und die elektrische Kontrolle passierenden Chips können in eine Lager- oder Versandablage 13 eingesetzt werden (Fig. 3I).

Die vorstehend und die in den Ansprüchen angegebenen sowie die den Abbildungen entnehmbaren Merkmale sind sowohl einzeln als auch in verschiedener Kombination vorteilhaft realisierbar. Die Erfindung ist nicht auf die beschriebenen Ausführungsbeispiele beschränkt, sondern im Rahmen fachmännischen Könnens in mancherlei Weise abwandelbar.

Patentansprüche:

1. Verfahren zur Herstellung von monolithisch integrierten Halbleiterschaltungen, welche auf einer Frontseite eines gedünnten Substrats eine Bauelementstruktur und eine metallisierte Substrat-Rückseite sowie elektrische Verbindungen zwischen metallischer Substrat-Rückseite und Leiterflächen auf der Frontseite über Durchgangslöcher durch das Substrat aufweisen, aus einem eine Mehrzahl separater Bauelementstrukturen enthaltenden Wafer, dadurch gekennzeichnet, dass
 - a) der Wafer nach Fertigstellung der frontseitigen Bauelementstrukturen mit der frontseitigen Oberfläche flächig auf einem starren Träger befestigt wird,
 - b) das Substrat auf die gewünschte Dicke gedünnt wird,
 - c) die Durchgangslöcher durch das Substrat und die Trenngräben zwischen den monolithischen Halbleiterschaltungen erzeugt und die Rückseitenmetallisierung einschließlich der elektrischen Verbindungen durch die Durchgangslöcher hergestellt werden,
 - d) die Halbleiterschaltungen individuell von dem starren Träger abgelöst und vereinzelt weiterbearbeitet werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass zur Befestigung des Wafers auf dem starren Träger ein adhäsives Material verwandt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass ein adhäsives Material mit bei höherer Temperatur geringerer Adhäsion zur frontseitigen

Oberfläche des Wafers verwandt wird.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass die individuelle Ablösung der Halbleiterschaltungen von dem Träger mechanisch unter Überwindung der Adhäsionskraft des Befestigungsmaterials zur frontseitigen Oberfläche des Wafers vorgenommen wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das Substrat auf eine Dicke von weniger als 100 μm gedünnt wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Trenngräben durch einen photolithographischen Ätzprozess erzeugt werden.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass die Trenngräben bis an oder in das Befestigungsmaterial geätzt werden.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass in einer frontseitigen Schutzschicht des Wafers eine laterale Unterätzung des Substrats erzeugt wird.
9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Abscheidung der Rückseitenmetallisierung nach Erzeugung der Trenngräben vorgenommen wird.
10. Verfahren nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, dass für die Herstellung der Durchgangslöcher und der Trenngräben eine gemeinsame photolithographische Maske verwandt wird.

11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass eine elektrische Funktionsprüfung der Halbleiterschaltungen nach der Vereinzelung vorgenommen wird.

Zusammenfassung:

Für die Herstellung von einzelnen integrierten Schaltungsanordnungen aus einem Waferverbund wird ein Verfahren vorgeschlagen, bei welchem der Wafer mit der Bauelementseite auf einem Träger fixiert, die einzelnen Schaltungsanordnungen durch Ätzen von Trenngräben auf dem Trägerkörper separiert und einzeln vom Trägerkörper abgehoben werden. Das Halbleitersubstrat wird während der Fixierung des Wafers auf dem Trägerkörper gedünnt, vorzugsweise auf weniger als 100 μm Substratdicke. Eine Rückseitenmetallisierung wird vorzugsweise nach Separieren der Schaltungsanordnungen auf dem Trägerkörper auf die Rückseite des gedünnten Substrats abgeschieden.

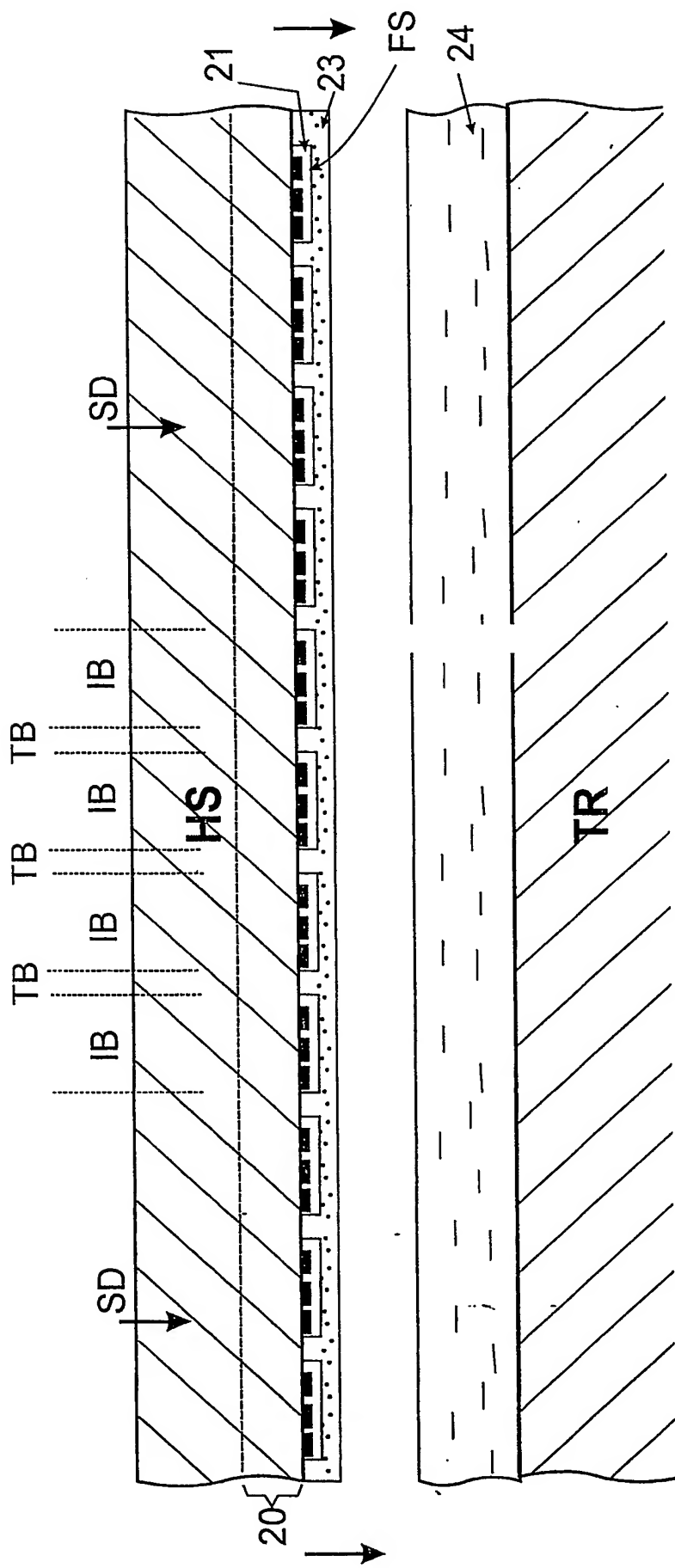


Fig. 1

Fig.2a

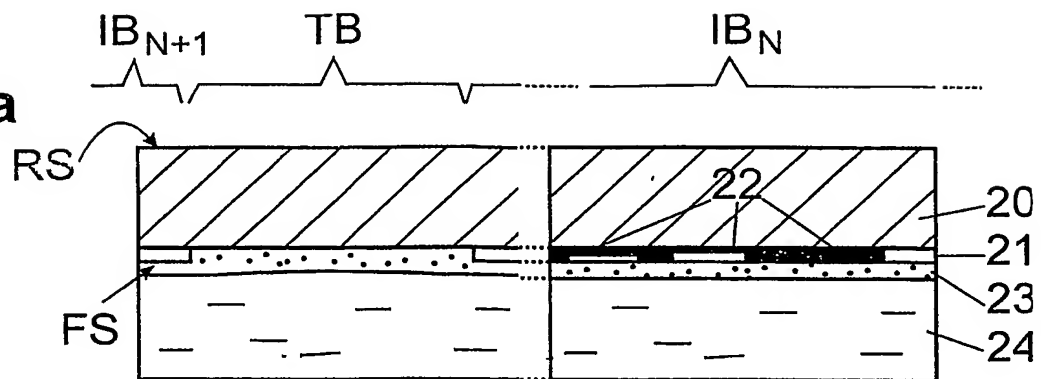


Fig.2b

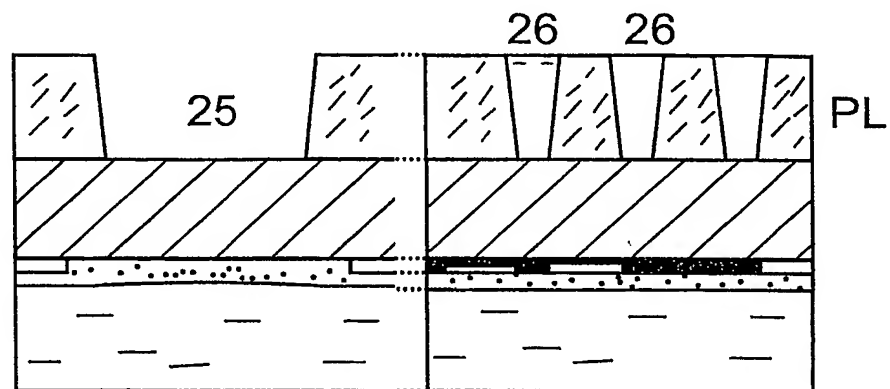


Fig.2c

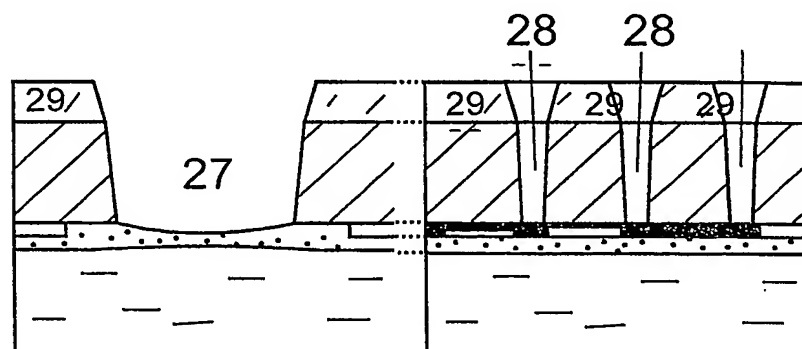


Fig.2d

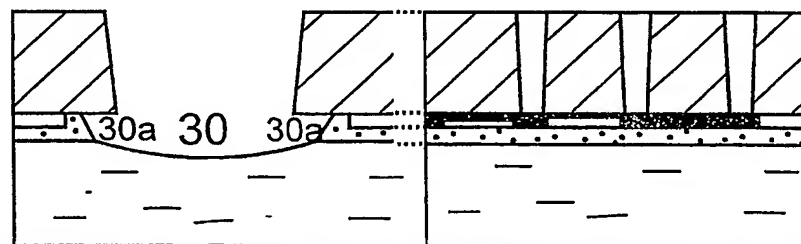
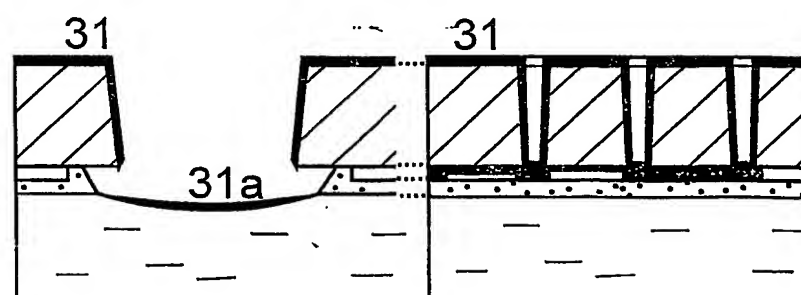


Fig.2e



3A

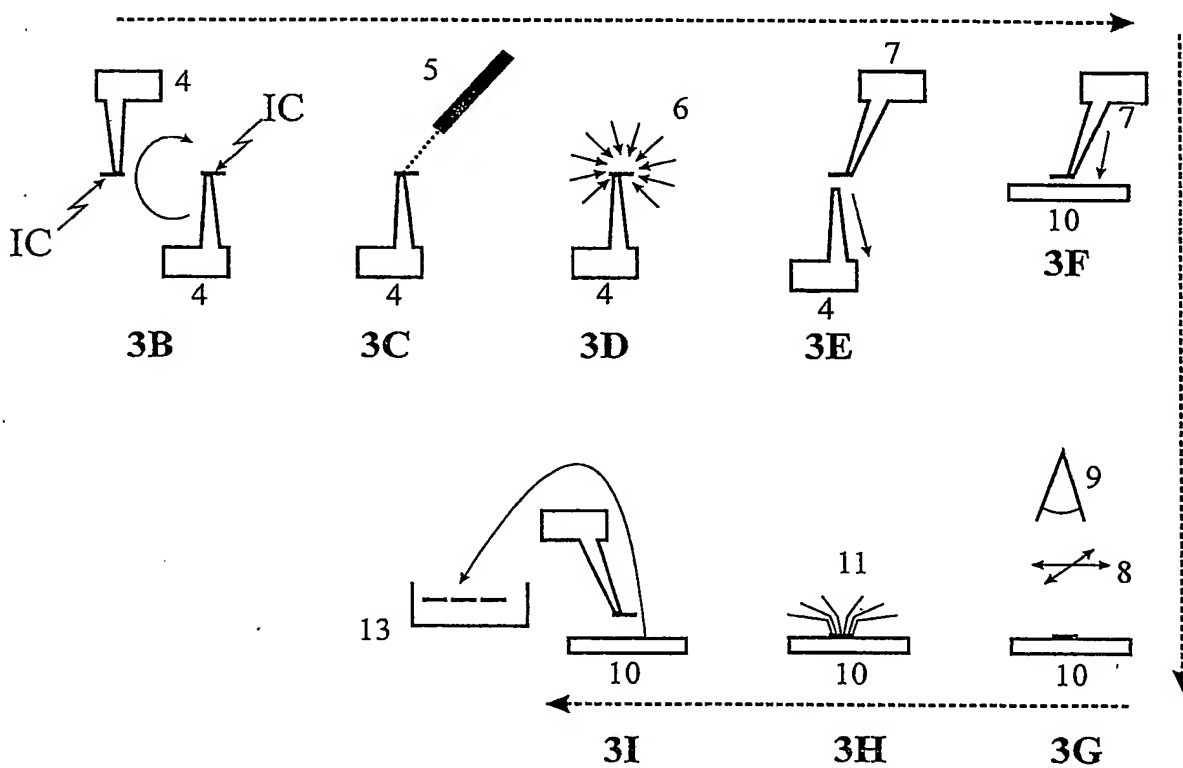
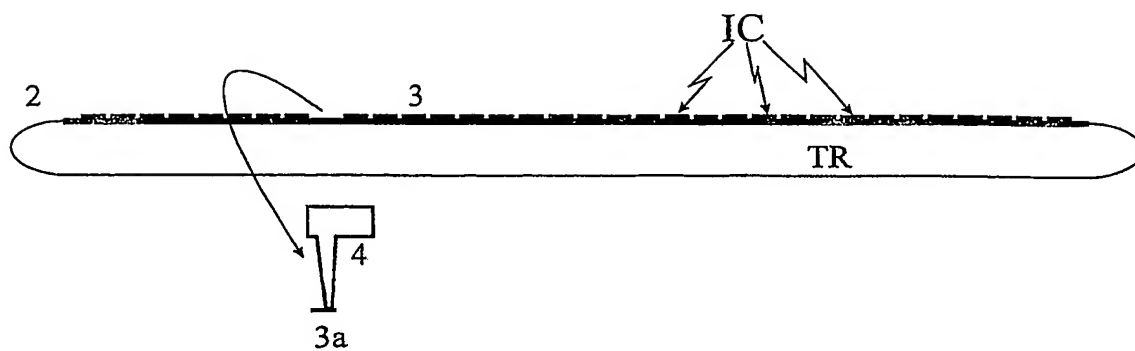


Fig. 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.